

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07301642 A**

(43) Date of publication of application: **14 . 11 . 95**

(51) Int. Cl

G01R 1/073
G01R 31/26
H01L 21/66

(21) Application number: **07112600**

(22) Date of filing: **14 . 04 . 95**

(30) Priority: **02 . 05 . 94 US 94 236847**

(71) Applicant: **MOTOROLA INC**

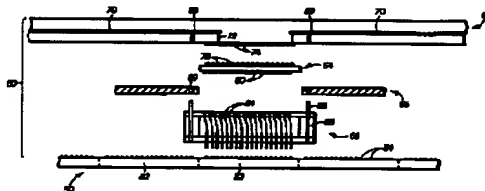
(72) Inventor: **LUM THOMAS F**
WENZEL JAMES F

(54) SEMICONDUCTOR WAFER PROBING METHOD

(57) Abstract:

PURPOSE: To provide a semiconductor wafer probing method by using an array probe assembly comprising a production package substrate.

CONSTITUTION: A substrate 64 is used for changing the constitution of a conductive pad 74 on a probe card 62 into the constitution matching with the constitution of a conductive bump 54 on a semiconductor die 52. An array probe assembly 60 comprises an array probe head 68 provided with a probe wire 84 for connecting the conductive pad 80 on the substrate 64 to the conductive bump 54 on the die 52. After the die 52 is probed, the die 52 is built in a final package semiconductor device including a substrate 90 which is substantially same as the substrate used in the array probe assembly 60. As the production package substrate is used in the array probe assembly 60, a cost for the array probe assembly 60 is lowered, and a more precise test can be carried out, for the substrate emulates die performance in the final package device.



COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-301642

(43) 公開日 平成7年(1995)11月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 1/073	D			
31/26	J			
H 0 1 L 21/66	B	7630-4M		
	E	7630-4M		

審査請求 未請求 請求項の数 5 F D (全 10 頁)

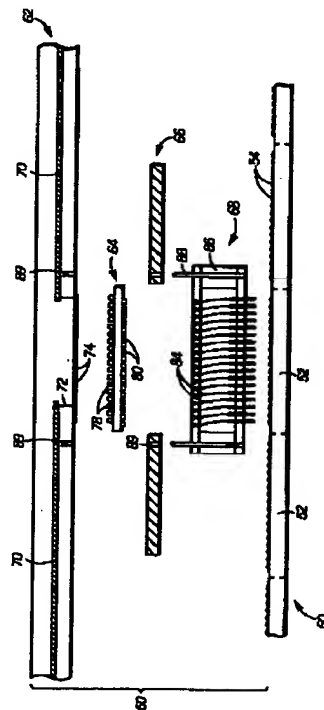
(21) 出願番号	特願平7-112600	(71) 出願人	390009597 モトローラ・インコーポレイテッド MOTOROLA INCORPORATED アメリカ合衆国イリノイ州シャンバーグ、 イースト・アルゴンクイン・ロード1303
(22) 出願日	平成7年(1995)4月14日	(72) 発明者	トーマス・エフ・ラム アメリカ合衆国テキサス州オースチン、セ イバー・トレイル12210
(31) 優先権主張番号	2 3 6 8 4 7	(72) 発明者	ジェームズ・エフ・ウェンゼル アメリカ合衆国テキサス州オースチン、チ ャタートン・コート9303
(32) 優先日	1994年5月2日	(74) 代理人	弁理士 大貫 進介 (外1名)
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 半導体ウェハをプローブする方法

(57) 【要約】

【目的】 製造パッケージ基板64を含むアレイ・プローブ・アセンブリ60を利用する半導体ウェハをプローブする方法を提供する。

【構成】 基板64は、プローブ・カード62上の導電パッド74の構成を、半導体ダイ52上の導電パンプ54の構成と一致する構成に変形するために用いられる。また、アレイ・プローブ・アセンブリ60は、基板64上の導電パッド80をダイ52上の導電パンプ54に結合するためのプローブ・ワイヤ84を有するアレイ・プローブ・ヘッド68を含む。ダイをプローブした後、ダイは、アレイ・プローブ・アセンブリで用いられる基板とほぼ同じ基板90を含む最終的なパッケージ半導体装置110に組み立てられる。アレイ・プローブ・アセンブリで製造パッケージ基板を用いることにより、アレイ・プローブ・アセンブリにおける基板は最終パッケージ装置におけるダイの性能をエミュレートするので、より正確な試験が可能となる。



【特許請求の範囲】

【請求項1】 ウェハをプローブする方法であって：各ダイ（52）が第1アレイで配置された複数の導電パンプ（54）を有する、複数の半導体ダイ（52）が形成された半導体ウェハ（50）を設ける段階；前記第1アレイとは異なる第2アレイで配置された複数の導電パッド（74）を有するプローブ・カード（62）を設ける段階；前記第1アレイで配置された複数の導電パッド

（80）を有する第1面と、前記第2アレイで配置された複数の導電パッド（78）を有する相対する第2面とを有する第1製造パッケージ基板（64）を設ける段階であって、前記基板の第2面の複数の導電パッドはプローブ・カード上の複数の導電パッドに電気接続される段階；前記第1製造パッケージ基板の前記第1面上の複数の導電パッドを第1ダイ上の複数の導電パンプに電気接続し、第1ダイ上で電気試験を行うことによって、複数の半導体ダイのうち第1ダイをプローブする段階；前記第1製造パッケージ基板と実質的に同一の第2製造パッケージ基板（90）を設ける段階であって、前記第2製造パッケージ基板は、第1アレイで配置された複数の導電パッド（98）を有する第1面と、第2アレイで配置された複数の導電パッド（94）を有する相対する第2面とを有する段階；前記第1ダイを前記半導体ウェハから分離する段階；および前記第2製造パッケージ基板を用いて前記第1ダイをパッケージングする段階；によって構成されることを特徴とする方法。

【請求項2】 ウェハをプローブする方法であって：テストで用いられるプローブ・アセンブリ（60）を設ける段階であって、前記プローブ・カード・アセンブリは：第1アレイ構成で電氣的に終端する複数の導電トレース（70）を有するプローブ・カード（62）と；第1面および相対する第2面を有する第1製造パッケージ基板（64）であって、前記第1面は第1アレイ構成で配置された第1の複数の導電パッド（78）を有し、前記第2面は前記第1アレイ構成よりも小さい面積の第2アレイ構成で、前記第1の複数のパッドに電気接続された第2の複数の導電パッド（80）を有し、前記基板の前記第1の複数のパッドは前記プローブ・カードの複数の導電トレースに電気接続される、第1製造パッケージ基板（64）と；第2アレイ構成で配置され、かつ前記基板の第2面上の第2の複数のパッドに電気接続される複数のプローブ・ニードル（80）を有するプローブ・ニードル・アセンブリ（68）と；によって構成されるプローブ・アセンブリ（60）を設ける段階；各ダイが第2アレイ構成で配置された複数のダイ・パッド（54）を有する、複数の半導体ダイ（52）を有する半導体ウェハ（50）を設ける段階；第1ダイの複数のダイ・パッドを前記複数のプローブ・ニードルに電気接触させ、前記テストを用いて第1ダイについて電氣的診断を実施することによって、前記複数の半導体ダイのうち第

1ダイをプローブする段階；によって構成されることを特徴とする方法。

【請求項3】 ウェハをプローブする方法であって：テストで用いられるプローブ・アセンブリ（60）を設ける段階であって、前記プローブ・カード・アセンブリは：第1アレイ構成で電氣的に終端する複数の導電トレース（70）を有するプローブ・カード（62）と；第1面および相対する第2面を有する第1製造パッケージ基板（64）であって、前記第1面は第1アレイ構成で配置された第1の複数の導電パッド（78）を有し、前記第2面は前記第1アレイ構成よりも小さい面積の第2アレイ構成で、前記第1の複数のパッドに電気接続された第2の複数の導電パッド（80）を有し、前記基板の前記第1の複数のパッドは前記プローブ・カードの複数の導電トレースに電気接続される、第1製造パッケージ基板（64）と；第2アレイ構成で配置され、かつ前記基板の第2面上の第2の複数のパッドに電気接続される複数のプローブ・ニードル（80）を有するプローブ・ニードル・アセンブリ（68）と；によって構成されるプローブ・アセンブリ（60）を設ける段階；各ダイが第2アレイ構成で配置された複数のダイ・パッド（54）を有する、複数の半導体ダイ（52）を有する半導体ウェハ（50）を設ける段階；第1ダイの複数のダイ・パッドを前記複数のプローブ・ニードルに電気接触させ、前記テストを用いて第1ダイについて電氣的診断を実施することによって、前記複数の半導体ダイのうち第1ダイをプローブする段階；前記第1ダイを前記ウェハから分離する段階；前記第1製造パッケージ基板と実質的に同一である第2製造パッケージ基板（90）であって、同様に第1面と相対する第2面とを有し、前記第1面は第1アレイ構成で配置された第1の複数の導電パッド（94）を有し、前記第2面は前記第1アレイ構成よりも小さい面積の第2アレイ構成で、前記第1の複数のパッドに電気接続された第2の複数の導電パッド（98）を有する、第2製造パッケージ・基板（90）を設ける段階；前記第1ダイを前記製造パッケージ基板の前記第2面に実装する段階；および前記第1ダイの複数のダイ・パッドと、第2製造パッケージ基板の第2の複数の導電パッドとを電気接続する段階；によって構成されることを特徴とする方法。

【請求項4】 ウェハをプローブする方法であって：各ダイが第1アレイで配置された複数の導電パンプ（54）を有する、複数の半導体ダイ（52）が形成された半導体ウェハ（50）を設ける段階；テストで用いられるプローブ・カード・アセンブリ（60）を設ける段階であって、前記プローブ・カード・アセンブリは：前記テストと適切に電気接続するために構成された複数の導電トレース（70）を有し、かつ前記第1構成とは異なる第2構成で配置され、前記複数の導電トレースに電気接続される複数の導電パッドを有するプローブ・カード

(62)と;第2構成(BGAアレイ)で配置され、かつ前記プローブ・カード上の複数の導電パッドに電気接続された複数の導電パッド(78)を有する第1面を有し、かつ第1構成で配置された複数の導電パッド(80)を有する、前記第1面とは反対の第2面を有する第1セラミック製造パッケージ基板(64)と;前記第1製造パッケージ基板の第2面上の複数の導電パッドを複数のダイのうち第1ダイ上の複数の導電パッドと電気接続する手段(68)と;によって構成されるプローブ・カード・アセンブリ(60)を設ける段階;前記第1ダイ上の複数の導電パッドと、前記プローブカード上の導電トレースとの間で電気接続がなされるように、前記半導体ウェハを前記プローブ・カード・アセンブリに近接させる段階;および前記第1ダイを電氣的に試験する段階;によって構成されることを特徴とする方法。

【請求項5】 ウェハをプローブする方法であって:各ダイが第1アレイで配置された複数の導電パッド(54)を有する、複数の半導体ダイ(52)が形成された半導体ウェハ(50)を設ける段階;テストで用いられるプローブ・カード・アセンブリ(60)を設ける段階であって、前記プローブ・カード・アセンブリは:前記テストと適切に電気接続するために構成された複数の導電トレース(70)を有し、かつ前記第1構成とは異なる第2構成で配置され、前記複数の導電トレースに電気接続される複数の導電パッドを有するプローブ・カード(62)と;第2構成(BGAアレイ)で配置され、かつ前記プローブ・カード上の複数の導電パッドに電気接続された複数の導電パッド(78)を有する第1面を有し、かつ第1構成で配置された複数の導電パッド(80)を有する、前記第1面とは反対の第2面を有する第1セラミック製造パッケージ基板(64)と;前記第1製造パッケージ基板の第2面上の複数の導電パッドを複数のダイのうち第1ダイ上の複数の導電パッドと電気接続する手段(68)と;によって構成されるプローブ・カード・アセンブリ(60)を設ける段階;前記第1ダイ上の複数の導電パッドと、前記プローブカード上の導電トレースとの間で電気接続がなされるように、前記半導体ウェハを前記プローブ・カード・アセンブリに近接させる段階;前記第1ダイを電氣的に試験する段階;前記第1ダイを前記ウェハから分離する段階;前記第1製造パッケージ基板と実質的に同一であり、同様に第1および第2面を有する第2製造パッケージ(90)を設ける段階;前記第1ダイを前記製造パッケージ基板の第2面に実装する段階;および前記第1ダイを第2製造パッケージ基板に電気接続する段階;によって構成されることを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般に、半導体ウェハをプローブする方法に関し、さらに詳しくは、バンプ付

き半導体ウェハをプローブする方法に関する。

【0002】

【従来の技術】ウェハ・プローブ(wafer probing)は、半導体装置の製造全般において実施されるいくつかの試験工程の1つである。個別の半導体ダイのパッケージングの前で、ウェハ形状の状態のままで、各ダイはテスト上でプローブされる。従来のウェハ・プローブ方法は、使用される特定のテストに適応されたプローブ・カードを利用する。一般に、プローブ・カードは、複数のカンチレバ・プローブ・ニードルを採用し、これらのニードルは、各半導体ダイ上に構成されたボンド・パッドと一致する周辺構成で配置される。プローブ・ニードルは、各ダイのボンド・パッドに接触して配置され、診断試験が実施される。1つのダイの試験が完了すると、隣接するダイに対して試験が実施できるようにウェハは移動される。このプロセスは、ウェハ上のすべてのダイが試験されるまで繰り返される。

【0003】半導体装置の性能が向上するにつれて、各装置を動作するために必要な入力および出力接続の数も一般に増加する。各入力および出力端子について、各半導体ダイ上に対応するボンド・パッドがある。従来、これらのボンド・パッドは、ダイの周辺部に配置される。より多くの入力および出力端子の必要性のために、半導体ダイの周辺部のボンド・パッドの数が増加するにつれて、半導体ダイの全面積は増加する。多くの場合、ダイの寸法は周辺部の周りのボンド・パッドの数と、隣接パッド間の所要間隔とによって決められるため、ダイ寸法は「ボンド・パッド制限」されると考えられる。個別のダイの回路のバルクは、実際のダイ寸法よりも小さい面積を占めるが、周辺部の周りの最小ボンド・パッド間隔の必要性により、すべてのボンド・パッドを収容するためには、ダイ寸法を回路のバルクよりも大きくする必要がある。半導体製造業者はダイ寸法を最小限に抑えるという市場需要に絶えず迫られているので、ボンド・パッド間隔の制限は競争力のある製品を提供する上で深刻な障害となる。

【0004】

【発明が解決しようとする課題】半導体ダイを周辺のボンドパッド制限されることを防ぐ1つの方法として、ダイのパッドをダイ表面上でアレイ構成に配置する方法がある。一般に、パッド・アレイ構成を含む半導体ダイは、一般にリードフレーム、テープまたは基板にワイヤボンディングまたはTAB(tape automated bonding)ボンディングされる周辺ボンド・パッド構成に比べて、フリップ・チップ(flip chip)方法を利用してパッケージングされる。フリップ・チップ方法では、ダイの活性表面は、パッケージ基板に(活性面を下にして)取り付けられ、ダイ上のパッドのアレイは基板のパッドの整合するアレイに電気接続され、位置合わせされる。ダイ上のパッドとパッケージ基板上のパッドとの間の適切な接続

を確保するため、半導体ダイのパッド上に導電パッドを形成してもよい。バンプの1つの種類として、コラプス・チップ接続(collapse chip connection) (C4)がある。このような方法によって得られるバンプは、C4バンプと呼ばれる場合が多い。一般に、C4バンプは、ウェハ・プローブ・プロセス中に各ダイ上に存在するように、ウェハ・レベルで形成される。残念ながら、従来のカンチレバ・ニードルおよびカンチレバ・プローブ・カードは、すべてのアレイ状のC4バンプ付きウェハをプローブするために利用できない。C4バンプはダイ表面上でアレイ構成であり、バンプは数ロウ(row)の深さになるため、カンチレバ・プローブ・ニードルがすべてのバンプを同時にうまくプローブできるプローブ・カードを開発することは困難である。さらに、カンチレバ・プローブは、プローブ中にC4バンプを破損することがある。

【0005】従来のカンチレバ・プローブ・ニードルの必要性を省く、バンプ付きウェハをプローブする方法が開発されている。この方法は、アレイ・プローブと呼ばれる。アレイ・プローブでは、周辺構成の従来のカンチレバ・プローブは、各ダイ上のバンプの構成に一致するアレイ構成のプローブ・ワイヤと置き換えられる。アレイ・プローブを用いることの難点は、ウェハ・プローブを従来のテストで成功させるためには、プローブ・ワイヤをプローブ・カード上の導電トレースに接続しなければならないことである。現在、プローブ・ワイヤとプローブ・カードとの間の適切な接続を達成するための機構は、面倒な手作業による配線プロセスによる。各プローブ・ワイヤは、「ジャンパ・ワイヤ」によってテスト・プローブ・カード上の対応する導電トレースに接続される。ジャンパ・ワイヤは、プローブ・ワイヤとプローブ・カードとの間で手作業により接続され、その結果得られる製品は極めて高価になる。さらに、このプローブ・アレイ・アセンブリを製造するために要するリードタイム(lead time)は、一般的なC4用途で必要とされる接続の数が極めて多いこと、およびこのような接続を手作業で行うことにより、極めて長い。

【0006】

【課題を解決するための手段】本発明は、ウェハをプローブする方法に関する。1つの形態では、本方法は、半導体ウェハ上に形成された複数の半導体ダイを有する半導体ウェハを設けることを含み、各ダイは第1アレイに配置された複数の導電バンプを有する。また、プローブ・カードが設けられ、このプローブ・カードは、第1アレイとは異なる第2アレイで配置された複数の導電パッドを有する。第1面と相対する第2面とを有する第1製造パッケージ基板が設けられる。第1面は、第1アレイで配置された複数の導電パッドを含み、第2面は第2アレイで配置された複数の導電パッドを含む。基板の第2面の複数の導電パッドは、プローブ・カード上の複数の

導電パッドに電気接続される。複数のダイのうち第1ダイは、第1製造パッケージ基板の第1面上の複数の導電パッドを第1ダイ上の複数の導電バンプと電気接続し、第1ダイ上で電気試験を行うことによってプローブされる。

【0007】

【実施例】図1は、従来のアレイ・プローブ・アセンブリ20の断面図である。アセンブリ20は、複数の半導体ダイ12を有する半導体ウェハ10をプローブするために用いられる。図示のように、各ダイはウェハにおいて点線で示される。各ダイは、例えばC4バンプなど複数の導電バンプ14を含む。アレイ・プローブ・アセンブリ20は、プローブ・カード22、スペース変形部(space transformer)4およびアレイ・プローブ・ヘッド26を含む。プローブ・カード22は、例えばプリント回路板材料など従来のプローブ・カード材料からなる。プローブ・カード22は、複数の導電トレース30を含み、これらの導電トレースはプローブ・カードから一般的なテスト(図示せず)で用いるのに適した構成に導かれる。プローブ・カード22自体は、半導体ウェハ10をプローブするために利用できない。よって、アレイ・プローブ・アセンブリ20は、スペース変形部24とアレイ・プローブ・ヘッド26とをさらに含む。アレイ・プローブ・ヘッド26は、複数のプローブ・ワイヤ44を含み、これらのプローブ・ワイヤは各半導体ダイ上のバンプ構成に一致する構成で配置される。プローブ・ワイヤ44は脆いので、アレイ・プローブ・ヘッド26は、アレイ構成でプローブ・ワイヤを実質的に固定するハウジング46を含む。しかし、ハウジング46内の個別のプローブ・ワイヤは、プローブ・ワイヤと導電バンプとの間で適切に接続させ、かつプローブ・ワイヤとその上のスペース変形部24との間で適切に接続させるために、垂直方向に浮動することが許される。

【0008】スペース変形部24は、プローブ・ワイヤ44のアレイ構成をプローブ・カード22の導電トレース30の構成に変形するために用いられる。これは、まず各プローブ・ワイヤ44を導電トレース32に接続するか、あるいはスペース変形部24内で追加導電ワイヤ40を用いることによって達成される。スペース変形部24は、中央開口部42を含み、この中央開口部を介して導電ワイヤ40は下のプローブ・ヘッド26内のプローブ・ワイヤ44に接続される。スペース変形部は、エポキシ・ベースの材料であり、これはプローブ・カード22上の導電トレース30に一致する構成に導電ワイヤ40を導くために用いられる導電トレース32を含む。導電トレース32に他に、スペース変形部24は導電パッド34を含んでもよく、またスペース変形部が内部導電層を含むように設計される場合には、導電穴36も含んでもよい。

【0009】スペース変形部24は、プローブ・カード

に機械的および電氣的接続を行うコネクタ 38 を介してプローブ・カード 22 に接続される。アレイ・プローブ・ヘッド 26 も同様に、ガイド・ピン 45 を用いてスペース変形部 24 に機械的に接続または配置される。その結果、プローブ・カード 22、スペース変形部 24 およびアレイ・プローブ・ヘッド 26 は互いに、アレイ・プローブ・アセンブリ 20 として表される単一ユニット・アセンブリを構成する。

【0010】アレイ・プローブ・アセンブリ 20 は、バンプ付きウェハをプローブするためにうまく利用できるが、このアセンブリにはいくつかの欠点がある。重大な欠点は、手作業中心の製造によるコストである。各導電ワイヤ 40 は、スペース変形部 24 内で手作業で配線される。アレイ・プローブ・アセンブリ 20 のコストを増加する他に、導電ワイヤ 40 が手作業で接続されるという事実により、アレイ・プローブ・アセンブリ 20 を製造するためのリードタイムが長くなり、異なる C4 バンプ構成で用いるための追加アレイ・プローブ・アセンブリを製造する上で障害となる。新たな半導体ダイのために新たなアレイ・プローブ・アセンブリを作るためのコストおよび時間を回避するため、半導体製造業者は、異なるアレイ構成が電気性能の観点からより効率的であっても、新規ダイ上で既存の C4 バンプ・アレイ構成を利用する傾向にある。図 1 で図説したアレイ・プローブ・アセンブリの別の欠点は、スペース変形部 24 が実質的に修理不可能なことである。プローブ・ワイヤ 44 をスペース変形部の導電トレース 32 に接続するため導電ワイヤ 40 が配線された後、これらの導電ワイヤは開口部 42 内でエポキシで一般に封止される。その結果、ワイヤは修理、取り替えまたは個別に試験できない。従って、スペース変形部 24 に問題が生じると、全く新しいスペース変形部を作らなければならない。スペース変形部を有するアレイ・プローブ・アセンブリを用いるさらに別の欠点は、導電ワイヤ 40 が開口部 42 内で互いに隣接することの他に、導電ワイヤ 40 の長さは試験中にインダクタンスおよびクロストークを発生し、そのため試験を実施できる信号速度が制限されることである。

【0011】本発明により、アレイ・プローブ・アセンブリは前述のスペース変形部の必要がない。スペース変形部の代わりに、製造パッケージ基板が用いられ、アレイ・プローブ・ヘッドまたは同様なバンプ接触ユニットをプローブ・カードに接続する。製造パッケージ基板は、半導体アセンブリおよびパッケージ工程中に各個別ダイが最終的に取り付けられる製造パッケージ基板とほぼ同一であるためにそのように呼ばれる。例えば、プローブ・カード・アセンブリで用いられる基板や、ダイのパッケージング中に用いられる基板は、同じ材料であり、同じ寸法を有し、同じ導電トレースおよび穴構成を有する。このような製造パッケージ基板をアレイ・プローブ・アセンブリ内で用いることは、製造パッケージ基

板が大量生産され、実際のダイをパッケージングするために用いられる基板と同じコストであるので、アセンブリのコストを大幅に低減する。コスト節約の他に、プローブ・アセンブリで製造パッケージ基板を用いることは、手作業による配線の必要がなくなるので、アレイ・プローブ・アセンブリを作るのに必要な時間を短縮する。さらに、製造パッケージ基板は、半導体ダイをパッケージングするために作らなければならない。よって、開発工程の大半は新規製品導入のパッケージ設計段階において生じるので、新規アレイ・プローブ・アセンブリについてわずかな開発作業だけですむ。アレイ・プローブ・アセンブリ内で製造パッケージ基板を利用することの別の利点は、パッケージ基板は、最終パッケージ製品で発揮する半導体ダイの電気性能をエミュレートすることである。本発明による製造パッケージ基板を用いるウェハ・プローブ中に、半導体ダイは、最終パッケージ製品にチップが取り付けられるのと同様同じ基板によってプローブ・カードに接続される。従って、本発明による方法を利用して得られるプローブ・レベルのすべてのテスト結果は、現場における半導体ダイの実際の性能をより正確に反映する。

【0012】これらおよび他の特徴および利点は、添付の図面とともに以下の詳細な説明からより明確に理解される。ただし、図面は必ずしも縮尺どおりではなく、具体的に図示しない本発明の他の実施例もあり得ることに留意されたい。

【0013】図 2 は、本発明により半導体ウェハをプローブする方法において用いられるアレイ・プローブ・アセンブリ 60 の断面図である。図示のように、アレイ・プローブ・アセンブリ 60 は、複数の半導体ダイ 52 を有する半導体ウェハ 50 をプローブするために用いられる。各半導体ダイ 52 は、例えば C4 バンプなど複数の導電バンプ 54 を含む。本説明の焦点は、バンプ付き半導体ウェハをプローブする方法についてであるが、本発明はバンプなしウェハをプローブするためにも利用できることが理解される。つまり、アレイ・プローブ・アセンブリ 60 は、このようなパッド上に形成できる導電バンプではなく、半導体ダイ上のパッドを直接プローブするために利用できる。さらに、導電バンプが形成されると、この導電バンプは C4 バンプである必要はなく、個別半導体ダイ上の回路にアクセスするのに適した任意の他の導電バンプでもよい。さらに、本発明はアレイ構成におけるパッドまたはバンプをプローブする上で特に有利であるが、本発明は周辺構成におけるパッドまたバンプをプローブするためにも利用できる。

【0014】アレイ・プローブ・アセンブリ 60 は、プローブ・カード 62、製造パッケージ基板 64、取り付けプレート 66 およびアレイ・プローブ・ヘッド 68 を含む。プローブ・カード 62 は、例えば、プリント回路板材料など従来のプローブ・カード材料からなる。プロ

ープ、カード62は、従来のテスト（図示せず）用に構成される複数の導電トレース70を含む。導電トレース70は、表面トレースでも、あるいは図2に示すような内部トレースでもよい。内部トレースが用いられる場合、プローブ・カード62は導電穴または貫通穴72も含む。一方の端部では導電トレース70はテストに接続するのに適した接続を行うように構成され、他方の端部では導電トレース70は複数の導電パッド74を最終的に形成するように構成されるか、または導かれる。プローブ・カード62に形成される導電パッド74は、製造パッケージ基板64上の導電パッドの対応する構成に一致するように配置される。製造パッケージ基板64の一方の面には、複数の導電パッドまたは導電ボール78があり、これらはプローブ・カード62上の導電パッド74の構成と一致するように構成される。導電ボールの代わりに、複数のピンまたは他の種類のリードを利用して、基板64をプローブ・カード62に接続してもよい。製造パッケージ基板64の他方の面には、複数の導電パッド80があり、これらのパッドは製造基板64の反対面の導電パッドとは異なるように構成される。特に、導電パッド80は、各個別の半導体ダイ上の導電バンプ54の構成と一致するように構成される。製造パッケージ基板64については以下でさらに詳しく説明する。図1で説明したのと同様なアレイ・プローブ・ヘッド68も、アレイ・プローブ・アセンブリ60内に含まれる。アレイ・プローブ・ヘッド68は、ハウジング86内に收容された複数のプローブ・ワイヤ84を含む。プローブ・ワイヤ84は、ハウジング86内で実質的に固定されるが、ダイおよび製造パッケージ基板64上の導電バンプ54に適切に接続するために主に垂直方向に浮動することが許される。短絡を防ぐために、個別プローブ・ワイヤは絶縁層でコーティングしてもよく、および/またはハウジング86は部分的にまたは完全に絶縁材料で作ってもよい。

【0015】図3は、アレイ・プローブ・アセンブリ60の個別部品が実際のプローブ動作中にどのように互いにフィットするのかわかる断面図である。図3に示すように、アレイ・プローブ・ヘッド68は、プローブ・ワイヤ84が製造パッド基板の下面上の導電パッド80と接触するように、製造パッケージ基板64に近接される。アレイ・プローブ・ヘッド68と製造パッケージ基板64との間の接続を維持するため、ガイド・ピン88がプローブ・ヘッドに設けられ、取り付けプレート66を介して延在され、これがプローブ・ヘッドをプローブ・カード62から分離する。取り付けプレート66は、プローブ・ワイヤ84と製造パッケージ基板64の導電パッド80との間の十分な接続を確保するために、プローブ・ヘッド68とプローブ・カード62との間の適切な距離を維持する厚さを有する。ガイド・ピン88は、アレイ・プローブ・アセンブリ60の各部品間の適切な

アラインメントを確保するため、取り付けプレート66およびプローブ・カード62内の両方でガイド穴89を介して延在してもよい。

【0016】また、製造パッケージ基板64は、図3に示すように、製造パッケージ基板の導電パッドまたはボール78がプローブ・カードの導電パッド74と電気接触するように、プローブ・カード62と接触する。アレイ・プローブ・ヘッド68は、導電パッド80とプローブ・ワイヤとの間で電気接続するために製造パッケージ基板64と単純に近接されるが、製造パッケージ基板64は、表面実装プロセスを介してプローブ・カード62に物理的に接続される。最終パッケージ製品がユーザのプリント回路板に表面実装されるように、製造パッケージ基板64も同様にプローブ・カードに実装される。従って、表面実装プロセスを容易にするため、単に平坦な導電パッドではなく、導電ボール78を設けることが望ましい。例えば、製造パッケージ基板64は、底面だけでなく上面に複数の導電パッドを含んでもよいが、例えば半田ボールなどの導電ボールをこれらの上面パッドにその後取り付けてもよい。本発明の好適な実施例では、製造パッケージ基板64はプローブ・カード62に物理的かつ電氣的に接続されるが、基板がプローブ・カードに電気接触するだけで十分である。さらに、プローブ・カード62、製造パッケージ基板64、取り付けプレート66およびアレイ・プローブ・ヘッド68は互いにアレイ・プローブ・アセンブリ60を構成するが、各部品は互いに物理的に接続する必要はない。必要な点は、プローブ・ヘッドのプローブ・ワイヤと、製造パッケージ基板上の導電パッドと、プローブ・カード上の導電トレースとの間の十分な電気接続である。

【0017】取り付けプレート66は、アセンブリの任意の特徴であるが、プローブ・ヘッドとプローブ・カードとの間の適切な間隔を維持する上で有用である。さらに、ステンレス鋼または他の合金鋼などの硬質材料からなる取り付けプレート66は、プローブ・カード62の平坦性を維持するために用いられ、それによりプローブ・ワイヤ84と基板64上のパッド80との間の適切な電気接続を確保する。また、アレイ・プローブ・ヘッド68は、製造パッケージ基板64の表面上の導電パッド80と半導体ダイの導電バンプ54とを接続する他の適切な手段と置き換えてもよい。さらに、将来的には、製造パッケージ基板64は、プローブ・カード62と半導体ウェハ50との間の唯一の介在部材として十分であることが考えられる。すなわち、製造パッケージ基板64の表面上の導電パッド80をダイ上の導電バンプ54と直接接触させることが可能である。ダイ上のバンプ54と直接接触するためにパッド80を利用することの障害は、パッドのみではバンプ上に形成する自然酸化物を分解するのに不十分であるがことであるが、プローブ・ワイヤまたはプローブ・ニードルは、適切な電気接続を確

保するためスクラブによってこのような酸化物を分解できる。

【0018】前述のように、製造パッケージ基板64は、個別半導体ダイ52が実装されるパッケージ基板と実質的に同一である。当然ながら、アレイ・プローブ・アセンブリで用いられる実際の製造基板は、パッケージ半導体装置に最終的に組み込まれないが、プローブ・アセンブリの一部として残る。しかし、プローブ・アセンブリで用いられるのと実質的に同じ設計を有するパッケージ基板は、半導体ダイをパッケージングするために用いられる。プローブ・アセンブリで用いられ、本発明により半導体ダイをパッケージングするために用いられる適切な製造パッケージ基板について、図4ないし図7を参照してさらに説明する。

【0019】図4は、本発明を実施する上で適切な製造パッケージ基板90の底面図である。製造パッケージ基板64はアレイ・プローブ・アセンブリ60で用いられるが、製造パッケージ基板90は、ほぼ同じ設計であるが実際の半導体ダイのパッケージングで用いられる基板である。図5は、同じ基板の上面図である。図4に示すように、底面92は、複数の導電パッド94を含む。導電パッド94は、純粹に周辺構成ではなく、アレイ構成に配置されている。導電パッド94の構成は、図2に示すプローブ・カード62の導電パッド74の構成に一致する。(ただし、図示のように、パッド94の構成はパッド74の構成と完全には一致しない。)図5に示すように、製造パッケージ基板90の上面96は、複数の導電パッド98を含む。導電パッド98は、基板の上面でアレイ構成に同様に配置される。バンプ付き半導体ダイが実装されるのはこの上面96である。従って、導電パッド98は、実装される半導体ダイのバンプ構成と一致する構成を有する。半導体ダイ上の導電バンプの配置は、最終的なユーザの基板上の導電バンプの配置に比べてはるかに不規則である。このため、基板90の上面上の導電パッド98は、基板90の底面に比べて配置が不規則である。しかし、本発明は、基板の上面または底面上あるいはダイ上のパッド構成の規則性または不規則性によって制限されるものではない。

【0020】基板の上面上の導電パッド98が制限される領域は、導電パッド94が基板90の底面上で占める領域よりも小さい。半導体ダイの表面上の導電バンプの密度および近接は、最終的なユーザの基板上の導電パッドの密度および近接よりも一般に大きい。基板90の底面上の導電パッドはユーザの導電パッド構成と一致するように構成されるので、基板90は、ダイ上のC4バンプ・アレイ構成を最終的なユーザパッド構成に変形する、すなわち、C4バンプをユーザの基板の最終的な端子構成に「ファンアウト (fan out)」する。この変形を実現するため、基板90は、図7から明らかになるように、基板の一方の面上パッドを基板の他方の面上のパ

ッドに導く導電トレースおよび/または導電穴を含む。

【0021】図6は、図5に示すパッケージ基板90に実装されるバンプ付き半導体ダイ100の上面図である。図5は、ダイが基板に実装されたときの半導体ダイ100のアウトラインを表す点線102を示す。ダイ100は、基板表面の上の複数の導電パッド98の構成に一致する活性表面105上の複数の導電バンプ104を含む。図5および図6に示すように、導電パッド98の構成および導電バンプ104の構成は、互いの逆像である。これは、ダイ100は表を下にして(活性面を下にして)基板90に実装され、図6はダイの表を上にした図であるという事実による。

【0022】図7は、ダイ100が基板90にどのように実装されるのかをより詳しく示す。図7は、最終的なパッケージングされた半導体装置110の断面図である。装置110は、従来のC4または直接チップ実装方法により基板90にフリップ・チップ(活性面を下にして)実装されたダイ100を含む。図7に示すように、導電バンプ104は、基板90の上面上の電気接触する導電パッド98と整合される。バンプは、パッドに対する金属接続 (metallurgical connection) を形成するためフローされる。さらに物理的に支持し、かつ応力吸収として、絶縁エポキシ・アンダフィル (underfill) 材料101がダイと基板との間に入れられる。基板の上面上の導電パッド98は、内部および/または表面導電トレース108および導電穴109を用いて、基板の底面上の導電パッド94に導かれる。上面上のパッドの密度は高い(または少なくとも領域に集中している)ので、上面上のパッドを基板の底面上の密度の低いおよび/またはより規則的な構成のパッドにファンアウトするために、トレースおよび穴が用いられる。基板90の底面上の各導電パッド94に、例えば半田ボールなどの導電ボール106が接続される。ボール106は、プリント回路板などのユーザの基板に最終的に接続される。ボールの代わりに、導電ピンまたはリードを利用してもよい。具体的に示されていないが、装置110は、封止材料によって基板90の上面に取り付けられる蓋を含んでもよい。もし用いるならば、蓋はアルミニウム、銅、コバルトなどの極めて熱伝導性の高い材料からなることが好ましい。装置110に対する更なる熱改善対策として、蓋とダイ100の背面との間に熱ペースト (thermal paste) を入れてもよい。蓋の代わりに、環境的な影響からさらに保護するためにダイ100をプラスチック樹脂によって封入してもよい。

【0023】本発明の好適な実施例では、アレイ・プローブ・アセンブリで用いられる基板および半導体ダイがパッケージングされる基板は、複数の金属層(少なくとも2つの相対する外部表面)を有するセラミック基板である。基板上の導電パッドおよびトレースは、従来の被着およびエッチング方法を利用してリソグラフにより定

めることができる。一例として、従来の金メッキ銅メタライゼーションを基板上で用いて、パッドおよびトレースを形成できる。セラミック基板は、経路をリソグラフにより定められたトレースで実現できるという事実により、C4バンパに対応するために必要とされる場合が多い経路の高密度化を達成できるため、セラミック基板はC4用途に適している。さらに、半導体パッケージング用途用に、多層セラミック基板を含むセラミック基板を作る技術は確立されている。よりコストの低いパッケージングとして、アレイ・プローブ・アセンブリおよび最終的な装置パッケージで用いられる基板は、プリント回路板で用いられるようなエポキシ・ガラスまたは他の有機材料で形成してもよい。エポキシ・ガラス基板は、複数のメタライゼーション層（外部または内部のいずれか）を含むように同様に作ることができ、従って、高密度C4半導体ダイに対応できる。アレイ・プローブ・アセンブリおよび最終的なパッケージで用いられる基板は、硬質構造ではなく、フレックス回路またはテープ状の部材でもよい。アレイ・プローブ・アセンブリでは、硬質な基板構造を設ける必要はない。最終パッケージでは、硬質性は基板以外の部材によって与えることができる。例えば、蓋または専用支持プレートを硬質な機械的部材として利用して、回路化された基板自体をフレックス膜のままで、半導体ダイを最終形状で保護できる。従って、本発明により用いられる基板は、特定の種類の材料に制限されず、アレイ・プローブ・アセンブリおよび半導体パッケージで利用できることによって決定される。

【0024】上記の説明および図面は、本発明に伴う利点を実証する。特に、本発明により半導体ウェハ、とりわけバンパ付き半導体ウェハをプローブする方法は、従来の方法で用いられるようなコストの低いアレイ・プローブによって達成される。コスト節減は、アセンブリ内の手作業による配線の必要性を省き、その代わりに製造パッケージ基板を用いることにより実現される。製造パッケージ基板は最終的な半導体装置の一部としてすでに開発されていなければならないので、同じ基板をアレイ・プローブ・アセンブリに組み入れることは、基板をアレイ・プローブ・アセンブリに組み入れる上でそれほど開発時間を要しない。別の利点として、アレイ・プローブ・アセンブリに製造パッケージ基板を利用することにより、より現実的な試験結果が得られる。なぜならば、プローブ・アセンブリで用いられる製造パッケージ基板は、従来のプローブ・アセンブリよりも忠実に最終パッケージ製品をエミュレートするためである。製造パッケージ基板をアレイ・プローブ・アセンブリで用いることにより、コスト節減の他に、新規プローブ・アセンブリを製造する上でリードタイムが短縮される。なぜならば、複数のワイヤの代わりにリソグラフにより定められた基板をプローブ・アセンブリで用いることにより、製

造工程における手作業の程度がはるかに低くなるためである。

【0025】以上、本発明に従って、上記の必要性および利点を十分に満たす半導体ウェハをプローブする方法が提供されたことが明らかである。本発明についてその特定の実施例を参照して図説してきたが、本発明はこれらの実施例に制限されるものではない。本発明の精神から逸脱せずに修正および変形が可能なのが当業者に理解される。例えば、本発明はバンパ付き半導体ウェハで用いることに制限されない。バンパ付き半導体ウェハが用いられる場合、このようなバンパはC4バンパである必要はない。さらに、本発明により用いられるアレイ・プローブ・アセンブリは、本明細書で説明したようなアレイ・プローブ・ヘッドを含む必要はない。さらに、アレイ構成は、ダイまたは基板レベルのいずれかで規則的または不規則的に配置されたアレイ構成を含んでもよい。また、2つ以上のダイを一度にプローブできるように、複数の製造パッケージ基板をプローブ・カード・アセンブリで用いてもよい。また、（すべてのチップ接続が基板から導出されることを条件にして）マルチチップ・モジュールでパッケージングされる異なるチップをプローブするため、同じマルチチップ・モジュール基板を異なるプローブ・カード・アセンブリで用いるように、マルチチップ・モジュール製造パッケージ基板も利用できる。プローブ・アレイ・ヘッドについて具体的に図説してきたが、アレイ・プローブ・アセンブリで用いられる製造パッケージ基板とプローブされる半導体ダイとの間で電気接続を行う任意の手段も本発明で用いるのに適している。理想的にはアレイ・プローブ・アセンブリで用いられる基板および最終パッケージ半導体装置で用いられる基板は同一であるが、これら2つの基板の間にわずかな修正や相違があってもよく、例えば、プローブ・プロセス中に適切な電気接続を達成するために、アレイ・プローブ・アセンブリで用いられる製造パッケージ基板上のパッドは、パッケージングされた装置で用いられる基板上で必要とされるよりも厚いメッキを必要としてもよい。また、プローブ・カード・アセンブリで用いられる基板を選択する際、その選択条件は装置をパッケージングするために用いられる基板よりも高くしてもよい。プローブ・カード・アセンブリは適切な電気接続を行うため高い精度を必要とするので、例えば、プローブ・カード・アセンブリで用いられる基板は、パッケージングされた基板における許容差よりも厳しい平坦性またはメッキ厚さの許容差を必要としてもよい。従って、本発明は、特許請求の範囲内の変形および修正を含むものとする。

【図面の簡単な説明】

【図1】バンパ付き半導体ウェハをプローブするために用いられる従来のアレイ・プローブ・アセンブリの断面図である。

15

【図2】本発明によるアレイ・プローブ・アセンブリの断面図である。

【図3】バンプ付き半導体ウェハをプローブするために用いられる、図2に示すアレイ・プローブ・アセンブリの断面図である。

【図4】本発明により利用できる製造パッケージ基板の底面図である。

【図5】図4の製造基板の上面図である。

【図6】バンプ付き半導体ダイの上面図である。

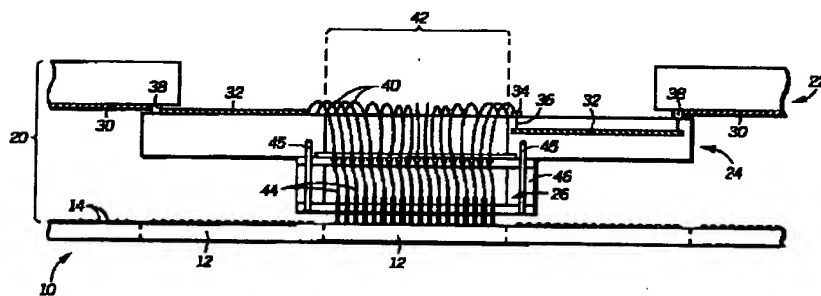
【図7】図4および図5に示す製造パッケージ基板に取り付けられ、電気接続された図6に示すバンプ付きダイを含む、半導体装置の断面図である。

【符号の説明】

- 50 半導体ウェハ
- 52 半導体ダイ
- 54 導電バンプ
- 60 アレイ・プローブ・アセンブリ
- 62 プローブ・カード
- 64 製造パッケージ基板
- 66 取り付けプレート
- 68 アレイ・プローブ・ヘッド
- 70 導電トレース

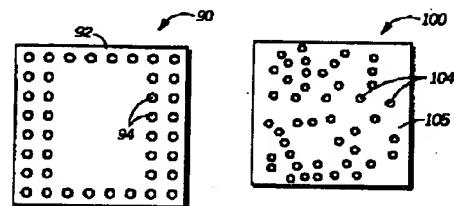
- 72 導電穴または貫通穴
- 74 導電パッド
- 78 導電パッドまたは導電ボール
- 80 導電パッド
- 84 プローブ・ワイヤ
- 86 ハウジング
- 88 ガイド・ピン
- 89 ガイド穴
- 90 製造パッケージ基板
- 92 底面
- 94 導電パッド
- 96 上面
- 98 導電パッド
- 100 半導体ダイ
- 101 絶縁エポキシ・アンダフィル
- 104 導電バンプ
- 105 活性表面
- 106 導電ボール
- 108 導電トレース
- 109 導電穴
- 110 半導体装置

【図1】



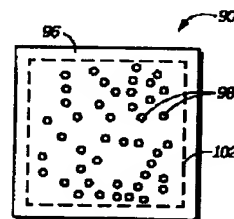
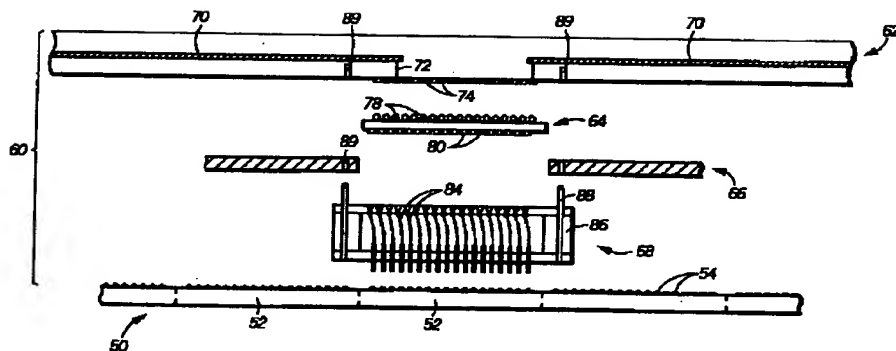
【図4】

【図6】

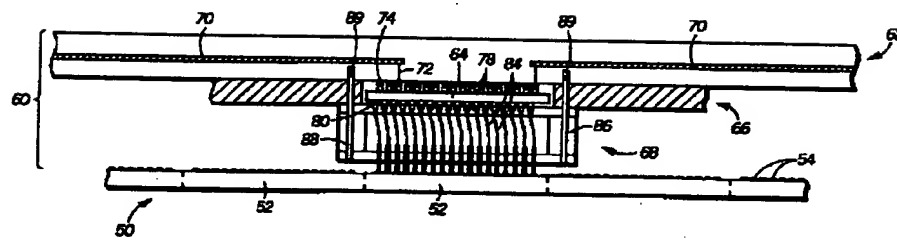


【図5】

【図2】



【図 3】



【图 7】

